



# 會議紀錄

會議名稱	異質 AI 晶片整合 SIG 核心會議		
時間	自 109 年 01 月 20 日 10 時 10 分起 至 109 年 01 月 20 日 12 時 30 分止	地點	51 館 3B 會議室
主持人	洪志斌副總(召集人) 葉文冠主任(副召集人)、陳冠能教授(副召集人)	記錄	陳文昭 專案副組長
出席人員	神盾：林功藝 營運長、鈺創：黃韋明 處長、晶相光：許志行 處長 聯發科：陳明育 資深技術經理、SEMI：李敏華 總監、黃倩雯 副理 工研院：駱韋仲 組長、王欽宏 產業化副組長、陳文昭 專案副組長、 張道智 研發副組長、吳仕先 經理、戴明吉 經理、張香鈺 經理		
<b>報告、討論事項及結論</b>			

## 1. 主席引言

- (1) 在去年啟動大會時，SIG2 已有確切的目標，希望在未來的一年中 SIG2 可以做得更扎實。希望在整合後整體的效能是有明確的改善，包含速度、畫面解析度、FPS 等，期望在六月可以有簡易的成果。
- (2) 因為需要串接 MCU, memory, sensor 等晶片，亦包含 SIG 4 的軟體部份，待開發時程進展更確定後，希望可以找 SIG 1,3,4 的人可以做進一步的溝通，互相知道各 SIG 在做的事情。

## 2. DARPA CHIPS 的圖：

- (1) 建議盤點現有哪些資源，先確定是在哪個 level 上的傳輸，如：是晶片間傳輸還是待在系統板上的 level？可以分階段、年度來規劃。
- (2) 封裝也有三個 level: (1) Flip chip 的 interconnect length(10~12mm), (2) Fan-Out, (3) Interposer。需考慮到可以拿到的晶片，並分短中長期來規劃，應會比在板子上的效能好很多。
- (3) 在訂立全程目標規格前，要先確定現有的製程，以及現有的 chip (如 MTK 的晶片，鈺創的記憶體)為何。第一階段先假設溝通路徑是從 chip 出封裝、再出到 system board 後，到另一顆 chip。可先走一次 signal integrity 的模擬，確定三個目標值是多少。第二階段即可以 CoWos, EMIB 等技術來預估可達到的規格範圍在哪，就可以訂出全程及階段性的目標規格。



### 3. 異質整合規劃

- (1) 第一階段是先有封裝後的晶片來驗證，第二階段才是 die。聯發科的 die 可能先不管測試結果，以 blind build 的方式待整好後再確定哪些 die 是可用或不能用的。
- (2) 看能不能在不打破現有的 working model 下拿到 i500 的晶片，以加速整體時程，並得到 MTK 的整片 wafer 為目標(且是經過測試的 KGD)。
- (3) 需另開一個會議解決現有瓶頸，約陳志成總經理碰面討論，如：考慮用小批量採購半成品，會需要跟 BU head 來討論。
- (4) 第一波：在 PC 板上做整合。第二波：先與 MTK BU head 討論後，MTK 與 鈺創的記憶體(先以 JEDEC 標準的)可透過 flip chip 的方式做封裝 (i500+LPDDR3, with micro-bump 的 wafer)，目標今年下半年或是明年上半年完成整合，如此即可確定效能改善多少。
- (5) 鈺創目前尚無具 JEDEC 標準的 LPDDR3, 4，只到 LPDDR2，需計今年可做到 LPDDR3。希望請 MTK 與 鈺创先提供：用於 flip chip 的晶片出 IO 的 pad 位置資訊。

### 4. 下次會議(2/27)為非核心會員會議

- (1) 主席建議可再調整議程，讓討論可提早於演講中發酵。
- (2) 建議邀請更多的系統應用 end user 廠商(如 5G 廠商、遠通電收、晶睿)來演講並提出需求。

### 5. 召集人預祝大家新年快樂，過年期間好好照顧、連結家人。