



台灣人工智慧晶片聯盟
AI-on-Chip Taiwan Alliance

異質 AI 晶片整合 SIG

報告人：陳冠能

AITA 聯盟
陽明交大

異質AI晶片整合SIG 副主席
講座教授

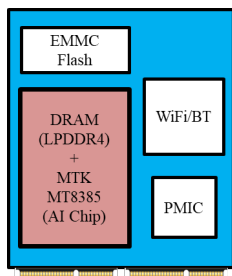


SIG2-異質AI晶片整合成果

累計成果

建構晶片間共通介面白皮書

建置聯發科Genio異質整合系統，
晶片間傳輸可達5,500Gbps



FY112 工作重點

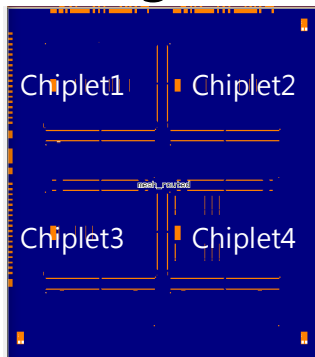
推動加入UCIe國際聯盟

串聯SIG推動加入UCIe聯盟延伸
AITA聯盟影響力



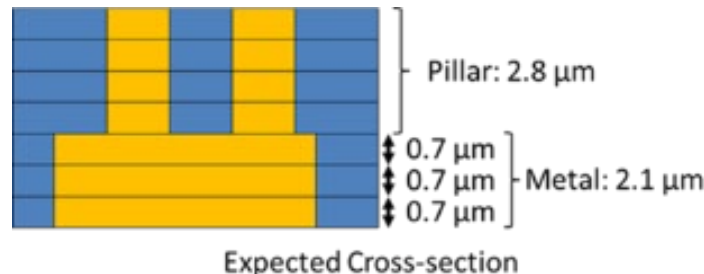
UCLA CHIPS國際合作

共同完成4顆Chiplet圖形處理晶片
Hybrid Bonding設計



Data Center系統驗證

擴展8-16顆Chiplet於Si-IF晶圓級
運算系統應用



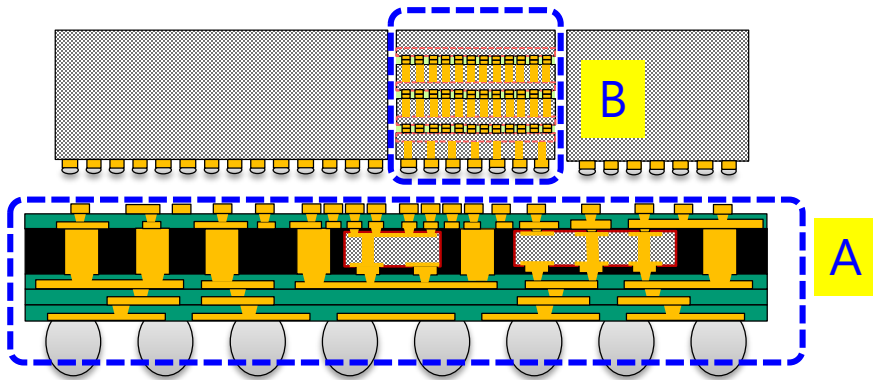


晶片系統整合與先進封裝 – FY111成果(1/3)

與 SIG 廠商共同制定異質晶片間傳輸共通介面

共通介面

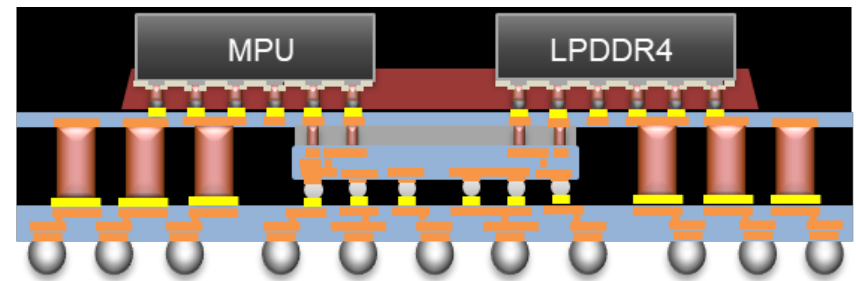
- Side-by-side: EIC (ITRI+欣興)(A)
- Stacking: C2W/W2W(力積電)(B)



- 整合3個異質晶片：MPU+LPDDR4*2
- 接點通用化且記憶體可堆疊2-3層以上

白皮書內容

- EIC IP design Rule & EIC+ IP Family
- Fine Grained High Bandwidth Stacking Memory design



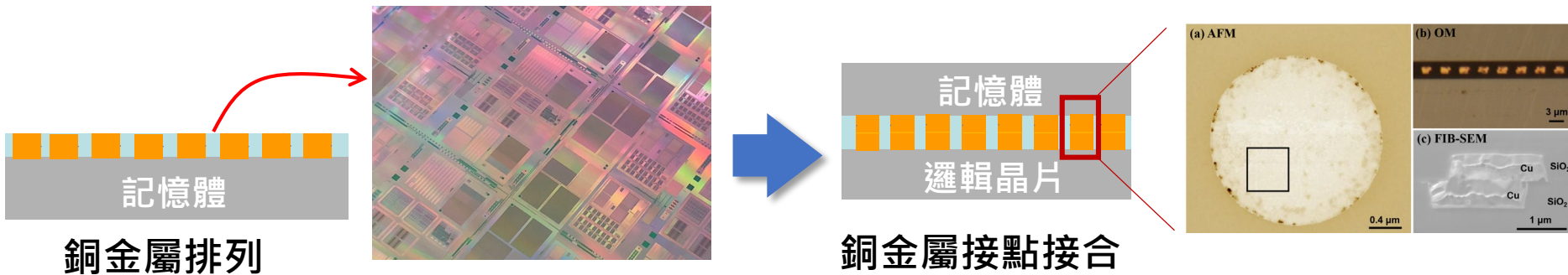
3 μm 線寬/線距實現
5500 Gbps/mm頻寬密度設計



晶片系統整合與先進封裝 – FY111成果(2/3)

全球領先之**高密度低溫鍵合技術**

- **奈米晶格銅金屬排列沉積**技術，低於 200°C 3D晶圓鍵結($350^{\circ}\text{C} \rightarrow 150^{\circ}\text{C}$)
- **接點微縮化**($20\mu\text{m} \rightarrow 2\mu\text{m}$)，**超高密度I/O 數** ($>1,600 / \text{mm}^2 \rightarrow >15,000 / \text{mm}^2$)



力積電

記憶體代工

記憶體共通介面

工研院

低溫高密度
接點關鍵核心技術

基板共通介面

切入新產業鏈結

邏輯晶片/記憶體堆疊整合

AI異質整合封裝模組



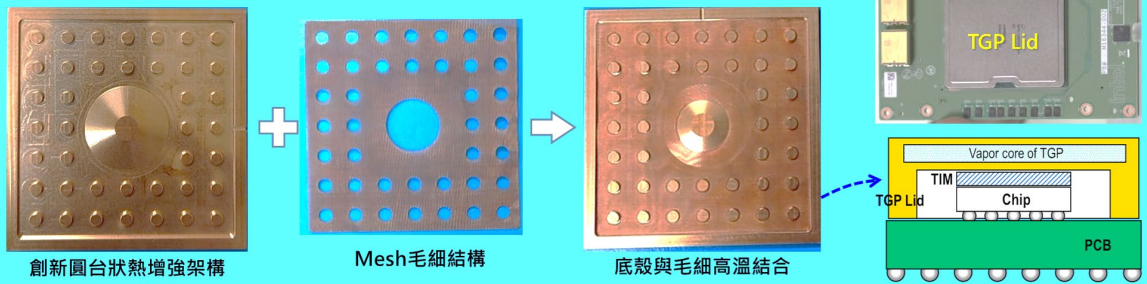
晶片系統整合與先進封裝 – FY111成果(3/3)

散熱性能達 200W的 TGP Lid 元件

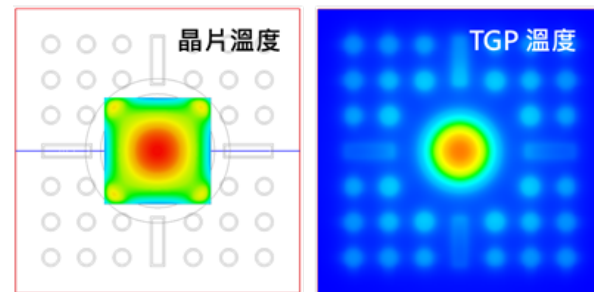
兼具創新與可量產性之散熱方案

散熱效能 > 200W

TGP Lid 創新圓台狀架構開發



創新 TGP Lid 架構



實測 : > 200W (持續推進中)
 預估 : > 400W (分析估算結果)

業者

工研院

切入新產業鏈結

一詮

傳統金屬 Lid 代工



> 200W TGP Lid 開發
 (簽約 1000 萬)



高階散熱/
 精密機械技術整合

廣運

單相式浸沒冷卻系統



雙相式浸沒冷卻系統
 (簽約 500 萬)



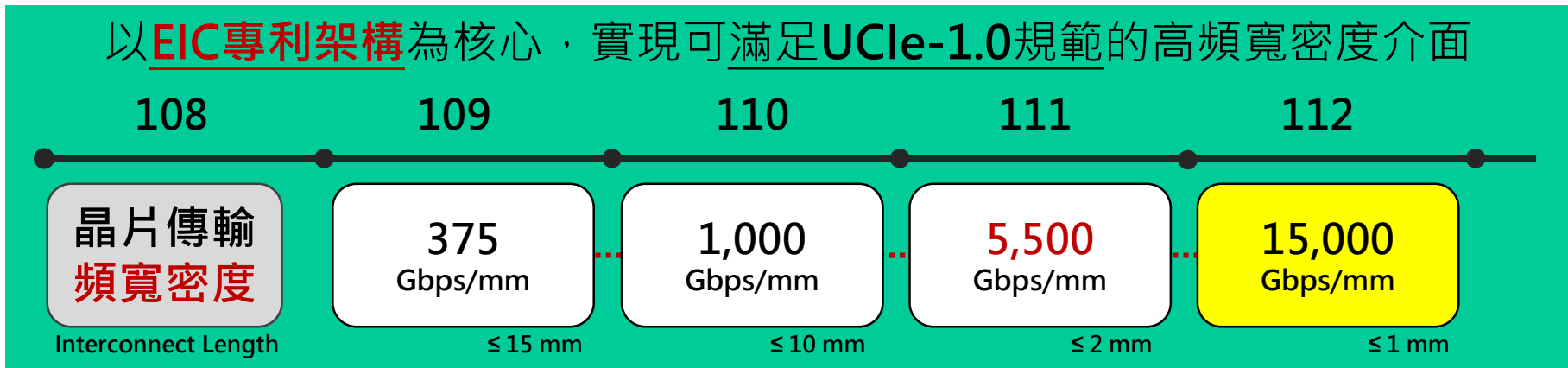
千瓦等級 HPC
 散熱技術/設備

*Thermal Ground Plane, TGP

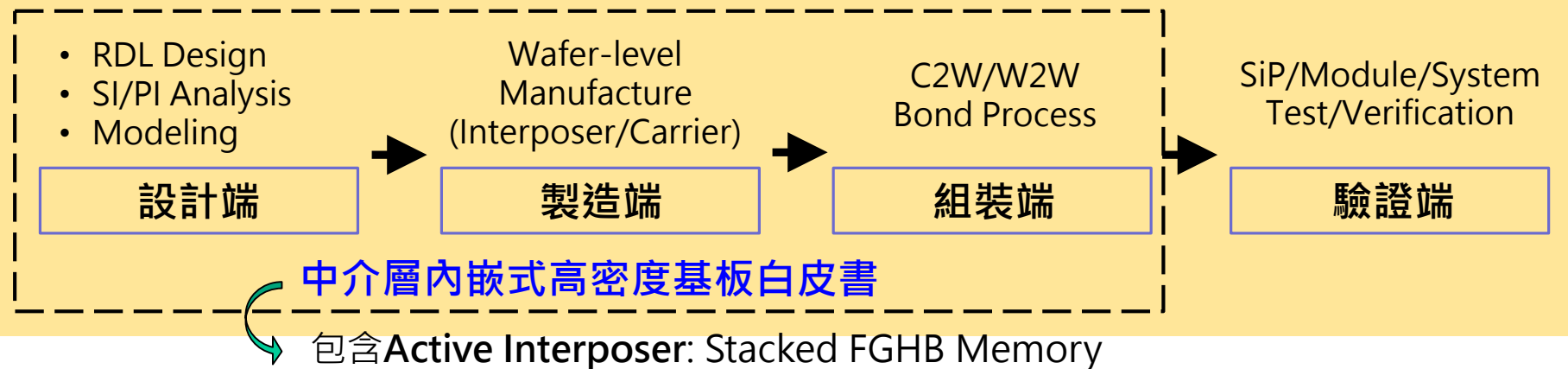


AI 晶片系統整合與先進封裝 – 全程發展規劃

以 **EIC專利架構** 為核心，實現可滿足 **UCle-1.0** 規範的高頻寬密度介面



Service on Near-Memory & Side-by-side Platform (Passive Interposer)



預計落地廠商：
VIA、GUC、力積電

➤ **MT8385+Micron LPDDR4 SiP** 為多晶片整合的落地應用可使系統面積微縮35%，提供業界一個 縮短時耗且可靠 的解決方案

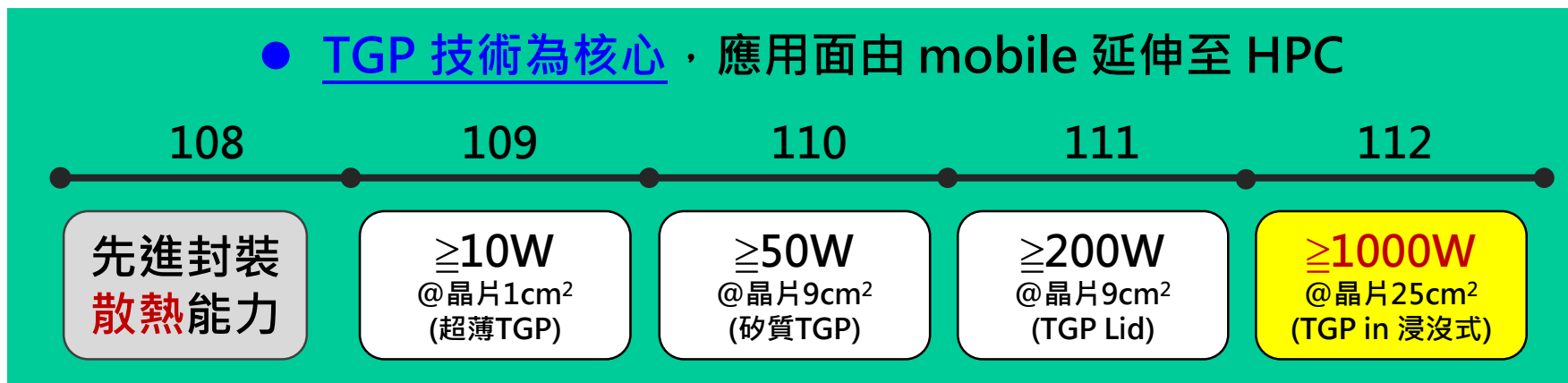
1. Embedded Interposer Carrier, EIC

2. Fine-Grained High Bandwidth Memory, FGHB Memory



契合市場的前瞻完整技術開發

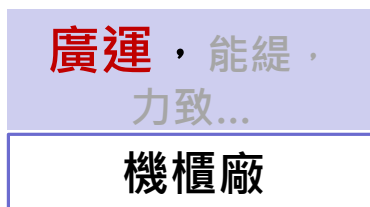
- TGP 技術為核心，應用面由 mobile 延伸至 HPC



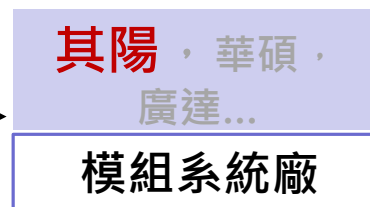
提出白皮書與參考設計，定義規格與認證



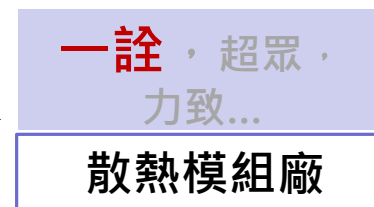
機櫃系統，符合晶片廠認證規格



導入伺服器系統，晶片散熱增強設計



散熱增強元件設計 (TGP · Heatsink)



微軟, Google, 中華電...

落地廠商：散熱模組、資料中心業者

- 浸沒式冷卻為落地應用，串聯廠商偕同開發，形成潛在技術生態鏈



FY112展示規劃 - EIC系統展示

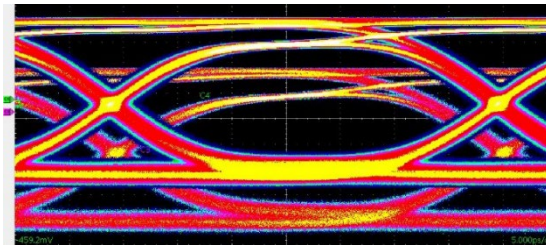
建立EIC封裝的完整流程含設計、製造、組裝與驗證，並實現於MTK G500

Now

(6/30)

(9/30)

(10/30)



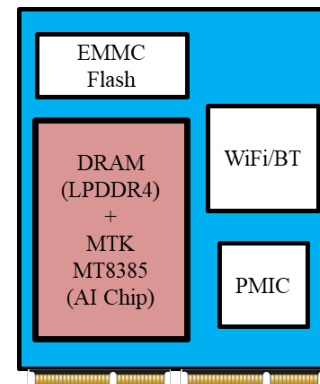
SiP組裝
完成圖

- 完成TEG量測包含頻域與時域(眼圖與頻寬密度等)
- 完成SiP組裝



✓ 完成中介層內嵌式高密度基板白皮書

- MT8385+Micron LPDDR4 SiP Design
- 驗證FY112查核點的TEG Design



✓ 完成SiP上件於
SoM board與測試



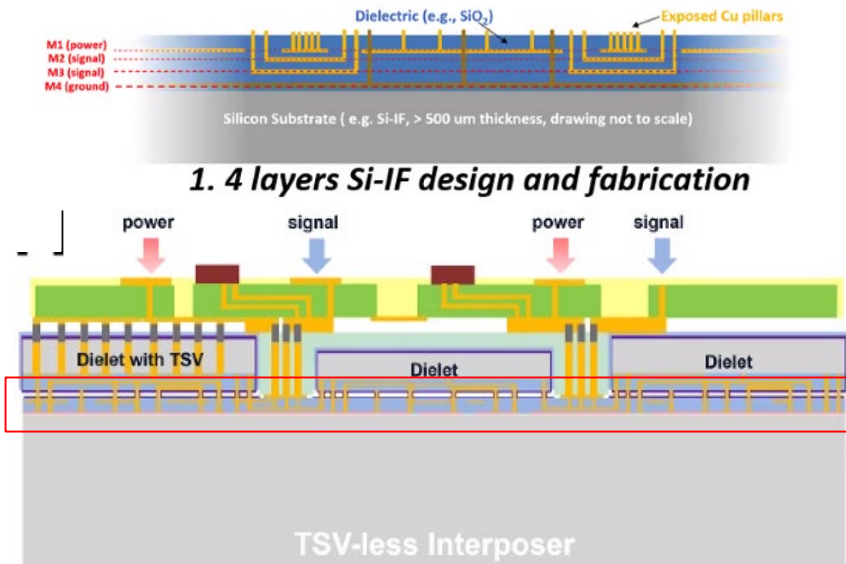


FY112及全程結案績效呈現規劃

UCLA Si-IF platform

Si-iF Process Integration

參與4-layer Si interposer製程架構設計 for system on wafer(SoW) · UCLA首次在工研院下線試製，打入CHIPS聯盟成為Si-IF platform 供應商

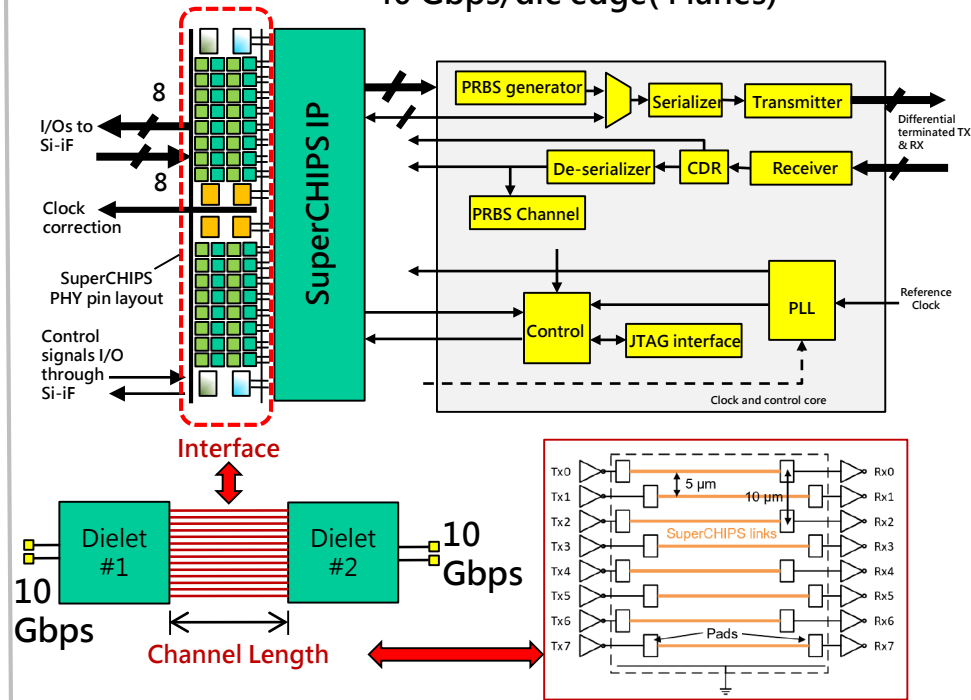


Si interposer architecture for SoW

Architecture design

以Bunch of Wire (BoW)架構提供AI應用的足夠算力、促進AI on Chip的異質整合

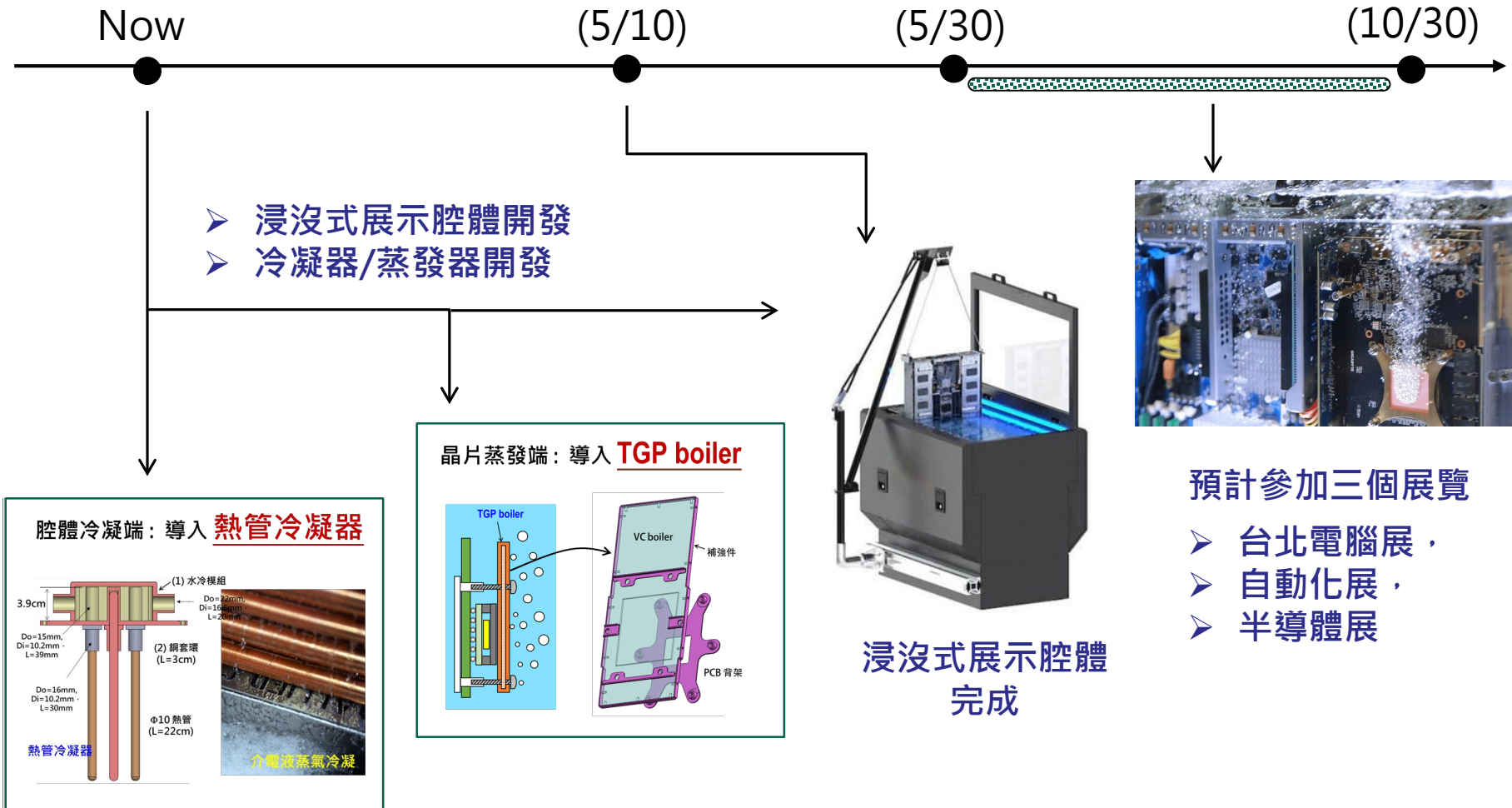
1.25Gbps x 8 $\leftarrow \dots \dots \dots \rightarrow$ 10Gbps
40 Gbps/die edge(4 lanes)





FY112展示規劃 - 浸沒式冷卻系統

與廠商偕同參與展示，建立深度理解與技術，放眼後續 HPC 散熱商機





From AITA SIG2 to Hi CHIP聯盟

從SIG2異質晶片製程整合與散熱方案，再補足材料、設備與系統級應用

System

Material/Equipment

Process Integration/Thermal



Hi-CHIP
異質整合系統級封裝開發聯盟
Heterogeneous Integration and
Chiplet System Package Alliance

異質整合系統級
封裝開發聯盟



SIG2異質AI晶片整合

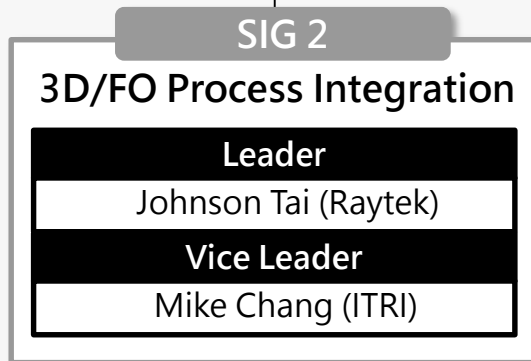
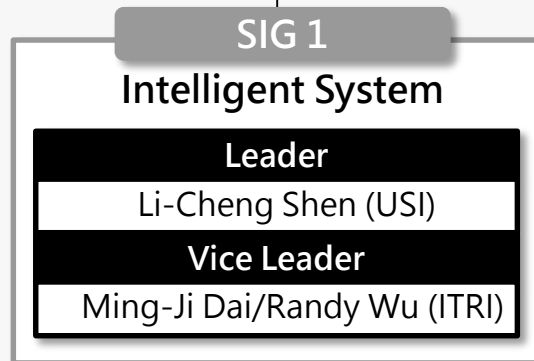
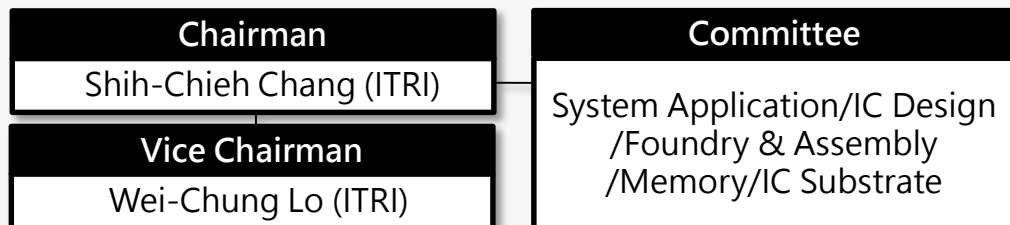
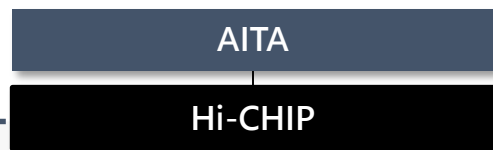


Hi CHIP聯盟組織架構

成立Hi CHIP新聯盟攜手逾10重量級業者，搶攻異質整合新藍海



Hi-CHIP
異質整合系統級封裝開發聯盟
Heterogeneous Integration and
Chiplet System Package Alliance





Hi CHIP聯盟 - 3個SIGs目標

共創小晶片異質整合平台，由3D/FO製程整合系統設計至在地化供應鏈

- SIG 1 -

Intelligent System

- Chiplet Interface Design
- Design for Harsh Environment
- High Cooling Material and Design



掃描QR code加入

- SIG 2 -

3D/FO Process Integration

- 3D Chiplet Stack
- Fan-Out Pilot Line
- CPO Integration

- SIG 3 -

Essential Core Supply

- Materials and Process Development in ITRI Pilot Line
- Advanced Substrate Platform
- Research Center Construction
- Data Bank and Localization

Thank You.